

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-218785

(43)Date of publication of application : 10.08.1999

(51)Int.Cl.

G02F 1/136

G09F 9/33

(21)Application number : 10-022395

(71)Applicant : SHARP CORP

(22)Date of filing : 03.02.1998

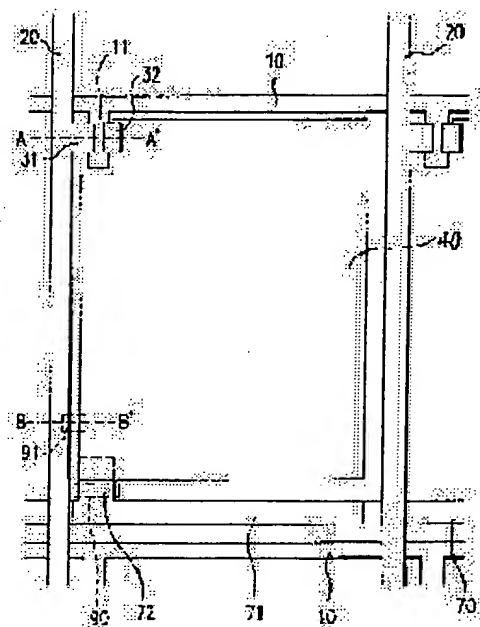
(72)Inventor : FUJINO HIRONOBU

## (54) METHOD AND DEVICE FOR CORRECTING DEFECT OF ACTIVE MATRIX SUBSTRATE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To correct defects such as the defect of a switching element and a pin hole on additional capacity without exerting influence upon liquid crystal on an active matrix substrate.

**SOLUTION:** When a defect occurs in an additional capacitance part constituted of a lower electrode wiring 70 having a projected part 72 projected to a pixel, electrode 40, an insulating film and an upper electrode 71 connected to the electrode 40 only at a part on the projected part 72, the wiring 70 is cut off on the base part 90 of the projected part 72 to insulate the wiring 70 from the electrode 40. When a defect that voltage to be impressed to the electrode 40 is not impressed due to a defect of a TFT occurs in the pixel, paste containing a conductive material is supplied to a gap between the electrode 40 and a signal wiring 20 and heated to form a conductive film 91 for short-circuiting the electrode 40 and the wiring 20.



## LEGAL STATUS

[Date of request for examination]

12.01.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-218785

(43) 公開日 平成11年(1999) 8月10日

(51) Int.Cl.<sup>8</sup>

識別記号

F I

G 0 2 F 1/136

5 0 0

G 0 2 F 1/136

5 0 0

G 0 9 F 9/33

G 0 9 F 9/33

J

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号 特願平10-22395

(22) 出願日 平成10年(1998) 2月3日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 藤野 裕伸

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

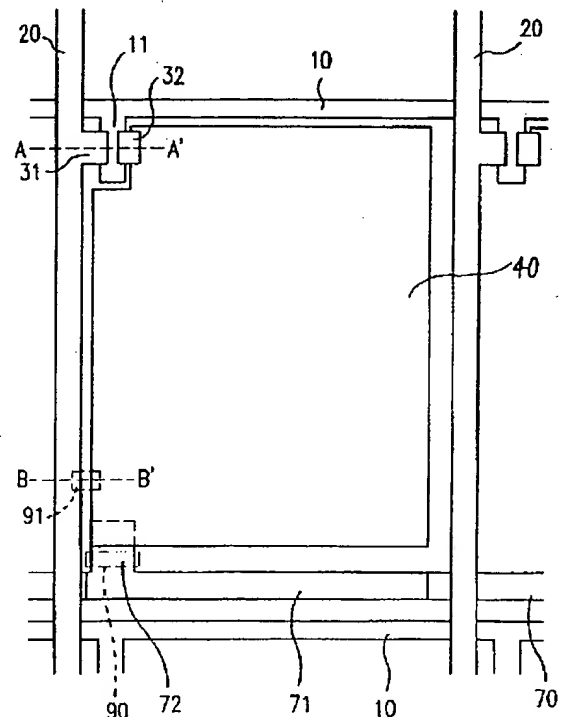
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 アクティブマトリクス基板の欠陥修正方法及び欠陥修正装置

(57) 【要約】

【課題】 アクティブマトリクス基板において、液晶に影響を与えることなくスイッチング素子の不良や付加容量のピンホール等の欠陥修正を行う。

【解決手段】 画素電極40に向かって突出する突出部72を有する下部電極配線70と、絶縁膜と、突出部72上の部分でのみ画素電極40に接続されている上部電極71とから構成された付加容量部に不良が生じている場合に、まず、下部電極配線70を突出部72の基部90で切断して下部電極配線70と画素電極40とを絶縁する。次に、その画素において、TFTの不良により画素電極40に印加されるべき電圧が印加されない不良が生じている場合に、画素電極40と信号配線20との間に導電性材料を含むペーストを供給し、それを加熱して画素電極40と信号配線20とを短絡する導電性膜91を形成する。



## 【特許請求の範囲】

【請求項 1】 マトリクス状に配置された画素電極の近傍を通して複数の走査配線及び複数の信号配線が互いに交差するように設けられていると共に、両配線の交差部近傍に設けられたスイッチング素子を介して両配線と該画素電極とが接続されているアクティブマトリクス基板において、該スイッチング素子の不良により該画素電極に印加されるべき電圧が印加されない不良が生じている場合に欠陥を修正する方法であって、

該不良が生じているスイッチング素子に接続されている画素電極とそれに対応する信号配線との間に導電性材料を含むペーストを供給し、該ペーストを加熱して該画素電極と該信号配線とを短絡させる導電性膜を形成するアクティブマトリクス基板の欠陥修正方法。

【請求項 2】 マトリクス状に配置された画素電極の近傍を通して複数の走査配線及び複数の信号配線が互いに交差するように設けられていると共に、両配線の交差部近傍に設けられたスイッチング素子を介して両配線と該画素電極とが接続され、さらに、該画素電極の近傍を通る下部電極配線と、その上を覆う絶縁膜と、該絶縁膜を介して該下部電極配線に重畳している上部電極とからなる付加容量部を備え、該下部電極配線が該画素電極に向けて突出する突出部を有すると共に該上部電極が該突出部上でのみ該画素電極に接続されているアクティブマトリクス基板において、該付加容量部に不良が生じていると共に該スイッチング素子の不良により該画素電極に印加されるべき電圧が印加されない不良が生じている場合に欠陥を修正する方法であって、

該不良が生じている付加容量部の下部電極配線を該突出部の基部で切断して該突出部を該下部電極配線の他の部分から絶縁させ、さらに、該画素電極とそれに対応する信号配線との間に導電性材料を含むペーストを供給し、該ペーストを加熱して該画素電極と該信号配線とを短絡させる導電性膜を形成するアクティブマトリクス基板の欠陥修正方法。

【請求項 3】 マトリクス状に配置された画素電極の近傍を通して複数の走査配線及び複数の信号配線が互いに交差するように設けられていると共に、両配線の交差部近傍に設けられたスイッチング素子を介して両配線と該画素電極とが接続され、さらに、該画素電極に接続された走査配線に隣接する走査配線に該画素電極に向かって突出する突出部を設けてなる下部電極配線と、該下部電極配線を覆う絶縁膜と、該絶縁膜を介して該下部電極配線に重畳している上部電極とから付加容量部が構成され、該上部電極が該突出部上の部分でのみ該画素電極に接続されているアクティブマトリクス基板において、該付加容量部に不良が生じていると共に該スイッチング素子の不良により該画素電極に印加されるべき電圧が印加されない不良が生じている場合に欠陥を修正する方法であって、

該不良が生じている付加容量部の下部電極配線を該突出部の基部で切断して該突出部を該下部電極配線の他の部分から絶縁させ、さらに、該画素電極とそれに対応する信号配線との間に導電性材料を含むペーストを供給し、該ペーストを加熱して該画素電極と該信号配線とを短絡させる導電性膜を形成するアクティブマトリクス基板の欠陥修正方法。

【請求項 4】 前記ペーストとして、Au 及び Ag のうちの少なくとも一方の金属錯体を含む溶液、又はトリフロロ酢酸パラジウムを有機溶媒に溶解させた溶液を用いる請求項 1 乃至請求項 3 のいずれかに記載のアクティブマトリクス基板の欠陥修正方法。

【請求項 5】 マトリクス状に配置された画素電極の近傍を通して複数の走査配線及び複数の信号配線が互いに交差するように設けられていると共に、両配線の交差部近傍に設けられたスイッチング素子を介して両配線と該画素電極とが接続されているアクティブマトリクス基板の欠陥を修正する装置であって、

修正基板を搭載する XY ステージと、  
該ステージ上方部に配置されたレーザ発振器と、  
該レーザ発振器から発振されたレーザ光の照射領域を制御する制御手段と、

該制御手段を通過したレーザ光を拡大又は縮小するための集光手段とを少なくとも備え、  
該レーザ光の照射パルスに同期して該 XY ステージを制御することにより、該レーザ光を直線状又は曲線状に任意に走査して該修正基板に照射するアクティブマトリクス基板の欠陥修正装置。

【請求項 6】 前記修正基板に導電性材料を含むペーストを塗布する塗布手段を備えている請求項 5 に記載のアクティブマトリクス基板の欠陥修正装置。

【請求項 7】 前記レーザ発振器は、基本波である赤外波と及び第 3 高長波を発振可能である請求項 5 又は請求項 6 に記載のアクティブマトリクス基板の欠陥修正装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、テレビジョンセットやワードプロセッサ、コンピュータの端末表示装置等に用いられるアクティブマトリクス基板の欠陥修正方法に関する。

## 【0002】

【従来の技術】従来、液晶表示装置、EL (Electro Luminescence) 表示装置、プラズマ表示装置等の表示装置が用いられている。これらの表示装置においては、マトリクス状に配置された画素を選択駆動することにより画面上に表示パターンが形成され、表示画素の選択方式としてはアクティブマトリクス駆動方式が知られている。このアクティブマトリクス駆動方式は、個々の表示画素に独立した画素電極を配置し、各

画素電極にスイッチング素子を接続して選択的に駆動を行うものである。

【0003】画素電極を選択駆動するスイッチング素子としては、TFT（薄膜トランジスタ）、MIM（金属-絶縁膜-金属）素子、MOS（金属-酸化膜-シリコン）トランジスタ素子、ダイオード、バリスタ等が一般的に使用されている。このスイッチング素子により、画素電極とこれに対向する対向電極間に印加される電圧をスイッチングし、両電極間に介在させた液晶、EL発光層またはプラズマ発光体等の表示媒体を光学的に変調することにより、この光学的変調が表示パターンとして視認される。このようなアクティブマトリクス駆動方式によれば、高コントラストの表示が可能であり、液晶テレビジョン、ワードプロセッサやコンピュータの端末表示装置等に実用化されている。

【0004】ところで、この種の表示装置において、不良を有するスイッチング素子をそのまま組み込んだ場合には、そのスイッチング素子に接続される画素電極に本来印加されるべき信号が入力されないことになる。このため、表示装置において点欠陥として認識されることになる。

【0005】さらに、この種の表示装置においては、表示品位を向上させるために付加容量が設けられることがあるが、この付加容量部にピンホール等の欠陥が発生すると、付加容量を構成する下部電極配線（付加容量バスラインや隣接するゲートバスライン）と画素電極との間に電流リークが生じる。その結果、その画素電極に対応する液晶に全く電圧が印加されないという欠陥が発生する。

【0006】このような欠陥は、アクティブマトリクス基板の製作段階で発見されればレーザトリミング等を行うことにより修正可能である。しかしながら、TFTアレ検査装置における欠陥検出の信頼性及び検出座標の位置精度の信頼性、さらに修正装置におけるレーザトリミングの修正範囲等を考慮すると、アクティブマトリクス基板の状態で欠陥修正を行うことは困難であった。

【0007】一方、スイッチング素子が配設されたアクティブマトリクス基板と対向基板とを貼り合わせ、両基板間に液晶を封入して液晶表示装置を作製した後、各画素電極に所定の電気信号を加えて表示動作を行わせることにより、目視で容易に検出することができる。又はCCDカメラ等により撮像して画像処理を行うことによっても容易に検出することができる。

【0008】このようにして検出された欠陥の修正方法として、レーザ光を用いた方法が知られている。以下に、この欠陥修正方法について、図7を参照しながら説明する。

【0009】図7に示した表示装置は、一対の透明絶縁性基板の間に液晶を封入したものであり、一方の基板1上には、走査配線として機能する複数本のゲートバスラ

イン10及び信号配線として機能する複数本のソースバスライン20が互いに交差して設けられている。両バスライン10、20で区切られた矩形状の領域には各々ITO膜からなる画素電極40がマトリクス状に配置されている。ゲートバスライン10から分岐して画素電極40側に向けて突出するゲート電極11が設けられ、そのゲート電極11の先端は、ソースバスライン20から画素電極40に向けて突出するソース電極31の前方まで延びている。そのゲート電極11の先端寄りの部分にTFT30が形成され、TFT30は画素電極40に接続されてスイッチング素子として機能している。

【0010】TFT30が接続されたゲートバスライン10に隣接するゲートバスライン10と画素電極40との間には付加容量を形成するための付加容量バスライン（下部電極配線）70がゲートバスライン10と平行に配線されている。この付加容量バスライン70の上にはゲート絶縁膜50を挟んで付加容量電極（上部電極）71が形成されている。付加容量バスライン70には画素電極40側に向けて突出する突出部72が設けられ、その先端は、ソースバスライン20に向かって屈曲している。屈曲部の先端にはソースバスライン20から分岐したソースバスライン突出部21がゲート絶縁膜50を介して重畳され、屈曲部の基端にはゲート絶縁膜50を介して導電体片80が重畳されている。

【0011】この表示装置において、付加容量部のピンホール等の欠陥やスイッチング素子の不良に起因して画素欠陥が生じた場合には、以下のようにして修正を行う。なお、この画素欠陥は、表示装置に表示動作を行わせてそれを目視し、又はCCDカメラにて撮像して画像処理を施すことにより発見される。

【0012】まず、図7中、破線で示す領域90（突出部72の基部）に、光エネルギーの一例としてレーザ光を照射する。このレーザ光の照射は、ガラス基板1の裏面側からでも対向基板側からでもよいが、対向基板が遮光性の導電体で覆われている場合にはレーザ光を直接照射することができないので、ガラス基板1の裏面側から照射する。

【0013】このレーザ光の照射によって領域90の導電体が飛散し、この部分が切断される。その結果、突出部72が付加容量バスライン70から電気的に絶縁され、同時に、突出部72は画素電極40及び付加容量部71からも絶縁される。この状態では、付加容量バスライン70と画素電極40とが絶縁状態になるので、付加容量バスライン70における電流リークの影響が画素電極40に及ぶことはない。従って、この画素は、液晶に全く電圧が印加されないという欠陥が生じていない状態になる。

【0014】次に、図7中、破線で示す領域91、92に順次レーザ光を照射する。なお、領域91はソースバスライン20からの突出部21と付加容量バスライン7

10

20

30

40

50

0の突出部72との重畳部に相当し、領域92は導電体片80の形成部に相当する。この領域91への照射によって両突出部21、72に挟まれたゲート絶縁膜50が熔融破壊され、これにより両突出部21、72が短絡されることになる。また、領域92への照射によって導電体片80と突出部72とが短絡され、導電体片80と電氣的に接続状態にある画素電極40及び突出部72とが電氣的に接続されることになる。従って、領域91及び92へのレーザ光照射によってソースバスライン20と画素電極40とが電氣的に接続されることになる。

【0015】ここで、点欠陥等が無い正常な画素では、ゲートバスラインの選択時間内に供給されたソース信号のみを充電し、その充電した電荷を1周期分、すなわち次の選択期間が来るまでの間保持することになる。一方、レーザ光の照射により画素電極とソースバスラインとが短絡された画素では、ゲートバスラインの選択・非選択にかかわらず、常にソース信号が入力されて充電されることになる。従って、1周期を通じて見ると、その間に入力されたソース信号（電圧）の実効値が液晶に印加されることになるので、不良画素は、その不良画素に対応するソースバスラインに接続された全ての画素の平均的な明るさに点灯することになる。これは、不良画素が完全な輝点でも黒点でもなく、中間的な輝度で点灯することを意味する。従って、画素電極とソースバスラインとが短絡された画素は、正常に動作しているわけではないが、点欠陥として極めて確認されにくい状態になり、点欠陥が実質的に修復されたと言える状態になる。

【0016】また、図8に示すように、付加容量がゲートバスライン10に隣接するゲートバスライン10上に形成された液晶表示装置についても、同様に、破線で示す領域90、91、92に順次レーザ光を照射することにより、欠陥を修正することが可能である。

【0017】

【発明が解決しようとする課題】上述のように、アクティブマトリクス基板の状態でレーザトリミング等により欠陥修正を行うことは困難であった。

【0018】また、上述のようにアクティブマトリクス基板と対向基板とを貼り合わせて液晶を注入した後で、その液晶セルにレーザ光を用いた欠陥修正を行った場合、液晶セル中に導電体の飛散屑が残って対向電極と画素電極との間にリークが生じたり、液晶セル中に気泡が残って光漏れが発生したりすることがある。その結果、欠陥を修正できなくなって製品を廃棄せざるを得ず、歩留りが低下して製造コストが高くなるという問題があった。

【0019】本発明はこのような従来技術の課題を解決すべくなされたものであり、アクティブマトリクス基板の状態欠陥修正を行うことが可能であり、液晶に影響を与えることなくスイッチング素子の不良や付加容量部のピンホール等の欠陥を修正することが可能なアクティ

ブマトリクス基板の欠陥修正方法及び欠陥修正装置を提供することを目的とする。

【0020】

【課題を解決するための手段】本発明のアクティブマトリクス基板の欠陥修正方法は、マトリクス状に配置された画素電極の近傍を通して複数の走査配線及び複数の信号配線が互いに交差するように設けられていると共に、両配線の交差部近傍に設けられたスイッチング素子を介して両配線と該画素電極とが接続されているアクティブマトリクス基板において、該スイッチング素子の不良により該画素電極に印加されるべき電圧が印加されない不良が生じている場合に欠陥を修正する方法であって、該不良が生じているスイッチング素子に接続されている画素電極とそれに対応する信号配線との間に導電性材料を含むペーストを供給し、該ペーストを加熱して該画素電極と該信号配線とを短絡させる導電性膜を形成し、そのことにより上記目的が達成される。

【0021】本発明のアクティブマトリクス基板の欠陥修正方法は、マトリクス状に配置された画素電極の近傍を通して複数の走査配線及び複数の信号配線が互いに交差するように設けられていると共に、両配線の交差部近傍に設けられたスイッチング素子を介して両配線と該画素電極とが接続され、さらに、該画素電極の近傍を通る下部電極配線と、その上を覆う絶縁膜と、該絶縁膜を介して該下部電極配線に重畳している上部電極とからなる付加容量部を備え、該下部電極配線が該画素電極に向けて突出する突出部を有すると共に該上部電極が該突出部上でのみ該画素電極に接続されているアクティブマトリクス基板において、該付加容量部に不良が生じていると共に該スイッチング素子の不良により該画素電極に印加されるべき電圧が印加されない不良が生じている場合に欠陥を修正する方法であって、該不良が生じている付加容量部の下部電極配線を該突出部の基部で切断して該突出部を該下部電極配線の他の部分から絶縁させ、さらに、該画素電極とそれに対応する信号配線との間に導電性材料を含むペーストを供給し、該ペーストを加熱して該画素電極と該信号配線とを短絡させる導電性膜を形成し、そのことにより上記目的が達成される。

【0022】本発明のアクティブマトリクス基板の欠陥修正方法は、マトリクス状に配置された画素電極の近傍を通して複数の走査配線及び複数の信号配線が互いに交差するように設けられていると共に、両配線の交差部近傍に設けられたスイッチング素子を介して両配線と該画素電極とが接続され、さらに、該画素電極に接続された走査配線に隣接する走査配線に該画素電極に向かって突出する突出部を設けてなる下部電極配線と、該下部電極配線を覆う絶縁膜と、該絶縁膜を介して該下部電極配線に重畳している上部電極とから付加容量部が構成され、該上部電極が該突出部上の部分でのみ該画素電極に接続されているアクティブマトリクス基板において、該付加

【0028】本発明のアクティブマトリクス基板の欠陥修正方法にあつては、スイッチング素子の不良により画素電極に印加されるべき電圧が印加されない不良が生じている場合に、そのスイッチング素子に接続されている画素電極とそれに対応する信号配線との間に導電性材料を含むペーストを供給し、そのペーストを加熱して画素電極と信号配線とを短絡させる導電膜を形成する。その画素では、走査配線の選択・非選択にかかわらず、常に信号が入力されて充電される。従つて、1周期を通じて見ると、その間に入力されたソース電圧の実効値が液晶に印加されて、その画素に対応する信号配線に接続された全ての画素の平均的な明るさに点灯する。このように対向基板と貼り合わせて液晶を注入する前のアクティブマトリクス基板の状態で修正を行うことができるので、表示装置の歩留り向上及び製造コストの低減を図ることが可能である。

【0030】また、本発明にあっては、隣接する走査配線に画素電極に向かって突出する突出部を設けてなる下部電極配線と、絶縁膜と、下部電極配線に重畳し、突出部上の部分でのみ画素電極に接続されている上部電極とから構成された付加容量部に不良が生じている場合に、まず、その下部電極配線を突出部の基部で切断する。これにより下部電極配線とそれに対応する画素電極とが絶縁され、下部電極配線における電流リークの影響が画素電極に及ぶことはない。従って、その画素は、液晶に全く電圧が印加されないという欠陥が生じていない状態になる。次に、その画素において、スイッチング素子の不良により画素電極に印加されるべき電圧が印加されない不良が生じている場合に、その画素電極とそれに対応する信号配線との間に導電性材料を含むペーストを供給し、そのペーストを加熱して画素電極と信号配線とを短絡させる導電性膜を形成する。その画素では、走査配線の選択・非選択にかかわらず、常に信号が入力されて充電される。従って、1周期を通じて見ると、その間に入力されたソース電圧の実効値が液晶に印加されて、その画素に対応する信号配線に接続された全ての画素の平均的な明るさに点灯する。このように対向基板と貼り合わせて液晶を注入する前のアクティブマトリクス基板の状態で修正を行うことができるので、下部電極配線を切断する際に導電膜が飛散しても対向基板との貼り合わせ前

に洗浄により除去することができ、表示装置の歩留り向上及び製造コストの低減を図ることが可能である。

【0031】このような導電性材料を含むペーストとしては、例えば、Au及びAgのうちの少なくとも一方の金属錯体を含む溶液、又はトリフロロ酢酸パラジウムを有機溶媒に溶解させた溶液等を用いることができる。これらのペーストは、例えばレーザー光を照射するか、又はアクティブマトリクス基板全体を加熱することにより、容易に画素電極と信号配線との短絡を行うことができ、熱熔融でほとんど飛散しない。従って、従来の欠陥修正方法のように導電体が飛散することなく、また、画素電極と信号配線とを接続するための導電体片を予め設けておく必要もない。また、これらのペーストは描画距離が長く、細線描画を行うのが容易である。さらに、このペーストを用いて配線の断線修復を行うことも可能であるので、欠陥修正工程の簡略化を図ることができる。

【0032】本発明のアクティブマトリクス基板の欠陥修正装置にあっては、XYステージと、レーザー発振器と、電動スリット等の制御手段と、集光レンズ等の集光手段とを備えている。これにより、レーザー光の照射パルスに同期してXYステージを制御し、レーザー光を直線状又は曲線状に任意に走査して、修正基板の欠陥画素に精度良くレーザー光を照射することができる。

【0033】また、導電性材料を含むペーストを塗布する塗布手段を設け、XYステージを制御することにより、欠陥画素に細線描画を行って精度良くペーストを塗布することができる。

【0034】さらに、基本波である赤外波と第3高長波とを発振可能なレーザー発振器を搭載することにより、赤外波によりペーストを硬化させることができ、第3高長波により下部電極配線の突出部の基部を切断できるので、欠陥修正のためのレーザトリミングとペーストの硬化とを同一の欠陥修正装置で行うことができる。

【0035】

【発明の実施の形態】以下、本発明の実施形態について、図面を参照しながら説明する。

【0036】（実施形態1）図1は実施形態1のアクティブマトリクス基板の欠陥修正方法を説明するための平面図である。なお、この図及び以下の図において、従来技術と同様の機能を有する部分には同じ番号を付して説明を行う。

【0037】このアクティブマトリクス基板は、一対の透明絶縁性基板の間に液晶を封入した表示装置に用いられるものであり、一方の基板1上には、走査配線として機能する複数本のゲートバスライン10及び信号配線として機能する複数本のソースバスライン20が互いに交差して設けられている。両バスライン10、20で区切られた矩形状の領域には各々ITO膜からなる画素電極40がマトリクス状に配置されている。ゲートバスライン10から分岐して画素電極40側に向けて突出するゲ

ート電極11が設けられ、そのゲート電極11の先端は、ソースバスライン20から画素電極40に向けて突出するソース電極31の前方まで延びている。そのゲート電極11の先端寄りの部分にTFT30が形成され、TFT30は画素電極40に接続されてスイッチング素子として機能している。

【0038】このTFT30においては、図1のA-A'線断面図である図2に示すように、基板1上にゲート電極11が設けられ、その上を覆ってゲート絶縁膜50が設けられている。ゲート絶縁膜50の上にはゲート電極11と重畳するように半導体層52が設けられ、その中央部にエッチングストッパー層53が設けられている。このエッチングストッパー層53及び半導体層52の上にはエッチングストッパー層53上で2つに分断されたコンタクト層60a、60bが設けられ、一方のコンタクト層60aの上にはソース電極31が設けられ、他方のコンタクト層60bの上にはドレイン電極32が設けられている。このTFT30を覆って保護膜75が設けられ、さらにその上に配向膜76が設けられている。

【0039】TFT30が接続されたゲートバスライン10に隣接するゲートバスライン10と画素電極40との間には付加容量を形成するための付加容量バスライン（下部電極配線）70がゲートバスライン10と平行に配線されている。この付加容量バスライン70の上にはゲート絶縁膜50を挟んで付加容量電極（上部電極）71が形成されている。付加容量バスライン70には画素電極40側に向けて突出する突出部72が設けられ、その先端は、そのまま直線状に画素電極40の下部まで延びており、その上にはゲート絶縁膜50を挟んで画素電極40が重畳している。また、付加容量電極71は、突出部72の上で画素電極40とつながった状態で形成されている。

【0040】このアクティブマトリクス基板は、例えば以下のようにして作製される。

【0041】まず、ガラス等からなる基板1上にスパッタリング法によりTa膜を積層し、これをフォトリソグラフィの手法を用いてパターンニングすることによりゲートバスライン10及びゲート電極11を形成する。このとき、図1のB-B'線断面図である図3に示すように、付加容量バスライン70及びこの突出部72も同時に形成する。なお、Ta単層膜の代わりにTi、Al、Cr等の単層膜又はTa、Ti、Al、Cr等の多層構造からなる導電体膜を形成してもよい。さらに、図3に示すように、ゲートバスライン10と基板1との間に、ベースコート膜12としてTa<sub>2</sub>O<sub>5</sub>膜等の絶縁膜を形成してもよい。

【0042】次に、その基板上を覆ってプラズマCVD法により膜厚300nmのSiNxからなるゲート絶縁膜50を積層する。なお、ゲート絶縁膜50を形成する



前にゲートバスライン10、ゲート電極11及び付加容量バスライン70を陽極酸化してその表面に陽極酸化膜を形成しても良く、この場合には絶縁性をより向上することができる。

【0043】このゲート絶縁膜50と連続して、プラズマCVD法により膜厚30nmのa-Si（アモルファスシリコン）からなる半導体層52及び膜厚200nmのSiNxからなるエッチングストッパー層53を順次積層する。そして、エッチングストッパー層53をパターンニングした後、プラズマCVD法によりリンを添加したn<sup>+</sup>a-Si膜を膜厚80nmで積層し、これをパターンニングしてコンタクト層60a、60bを形成する。このコンタクト層60a、60bは半導体層52と次に積層されるソース電極31及びドレイン電極32とのオーミックコンタクトを良好にするために形成されるものである。

【0044】その後、導電体を積層してパターンニングすることによりソースバスライン20、TFT30のソース電極31及びドレイン電極32を形成する。このときの導電体としてはTi、Al、Mo、Cr等を用いることができるが、本実施形態ではTiを用いた。

【0045】次に、その基板上にスパッタリング法によりITO膜を積層し、これをパターンニングして画素電極40及び付加容量電極71を形成する。

【0046】この状態のアクティブマトリクス基板において、付加容量部の絶縁膜にピンホール等の欠陥が生じたり、スイッチング素子にゲート絶縁膜のピンホールによるゲート電極とソース電極との短絡やゲート電極とドレイン電極との短絡等が生じたりしていると、これを用いて液晶表示装置を構成した場合に、画素電極に印加されるべき電圧が印加されなくなる。

【0047】よって、このような欠陥を検出した場合には、以下のようにして欠陥修正を行う。なお、上述のようなアクティブマトリクス基板における付加容量部の欠陥やスイッチング素子の不良等の欠陥は、電気光学検査装置を用いて画素内に電荷をチャージし、その基板に非接触で対向する素子にて電荷を検出することにより発見される。

【0048】まず、図4中、破線で示す領域90（突出部72の基部）を切断する。ここでは、光エネルギーの1例としてYAGレーザの第3高長波を照射した。このレーザ光の照射は、ガラス基板1の裏面側から行っても表面側（パターン膜積層側）から行ってもよいが、本実施形態ではガラス基板1の表面側から照射した。

【0049】このレーザ光の照射によって領域90の導電体が飛散し、この部分が切断される。その結果、突出部72が付加容量バスライン70から電気的に絶縁され、同時に、突出部72は画素電極40及び付加容量部71からも絶縁される。この状態では、付加容量バスライン70と画素電極40とが絶縁状態になるので、付加

容量バスライン70における電流リークの影響が画素電極40に及ぶことはない。従って、この画素は、液晶に全く電圧が印加されないという欠陥が生じていない状態になる。ここで、レーザ光の照射により、少なくとも付加容量バスライン70の突出部の基部が切断されていれば、絶縁膜50や上部電極71は切断されていなくてもよい。

【0050】次に、図4中、破線で示す領域91に導電性材料を含むペーストを塗布し、これを加熱することにより、ソースバスライン20と画素電極40とを短絡させる導電性膜を形成する。この導電性材料を含むペーストとしては、Au及びAgのうちの少なくとも一方の金属超微粒子に添加物（界面活性剤等）を加えて溶媒（トルエン、キシレン、 $\alpha$ -テルピネオール等）に溶解させた溶液や、金属錯体（Pd、Au、Pt等の錯体）を有機溶媒に溶解させた溶液等を用いることができる。

【0051】また、導電性膜を形成するための加熱は、ペーストを塗布した部分の周辺にレーザ光を照射してもよく、基板全体を焼成してもよい。この実施形態では、導電性材料を含むペーストとして金属超微粒子Au又はAgを溶媒に溶解させた溶液を用い、赤外レーザ光（波長1060nm）を照射することにより画素電極40とソースバスライン20とを短絡させる導電性膜を形成した。

【0052】その結果、画素電極40とソースバスライン20とが短絡された画素では、ゲートバスライン10の選択・非選択にかかわらず、常にソース信号が入力され、1周期の間にソース電圧の実効値が液晶に印加されることになる。従って、その不良画素に対応するソースバスライン20に接続された全ての画素の平均的な明るさに点灯し、点欠陥が実質的に修復される。

【0053】なお、このペーストを硬化させるためのレーザ光の照射、及び上述の付加容量バスライン70の突出部の基部を切断するためのレーザ光の照射は、例えば、図5に示すような欠陥修正装置を用いて行うことができる。図5において、11はYAGレーザ発振器、12は波長変換素子、13はエネルギー減衰フィルター、14はハーフミラー、15及び16はレーザ光の照射スポットを写すための光源及びCCDカメラ、17はレーザ光の照射領域を制御するための電動スリット、18は照射されたレーザ光の強度を検出するパワー検出器、19は照射されたレーザ光を拡大又は縮小するための集光レンズ、20はペーストを塗布するためのガラスピペット、21はガラスピペットを保持し、その位置決めを行うマニピュレータ、22は互いに直交する2方向への移動が可能なXYステージ、23はインターフェイス、24は制御部、25は外部コントローラ、26はモニタ、27は被検査体（基板）、28はバックライトである。

【0054】この欠陥修正装置において、YAGレーザ発振器11は修正基板を搭載したXYステージ22の上



に配置され、YAGレーザ発振器11から発振された1060nm (YAGレーザの基本波長) のレーザ光は、波長変換素子12を介してYAGレーザの第2高長波及び第3高長波に変換される。この変換されたレーザ光は、エネルギー減衰フィルター13によってその強度が調節される。例えば、ペーストを硬化させる際には基本波長(赤外波)のレーザ光を発振し、突出部を切断する際には第3高長波のレーザ光を発振する。

【0055】このYAGレーザ発振器11、波長変換素子12、エネルギー減衰フィルター13、光源15、C  
CDカメラ16、電動スリット17、パワー検出器1  
8、集光レンズ19、マニピュレータ21及びXYステ  
ージ23は、インターフェイスを介してCPUやRO  
M、RAMを備えた制御部24に接続されており、外部  
コントローラ25の命令を受けて動作する。これによ  
り、レーザ光の照射パルスに同期してXYステージ23  
を制御してレーザ光を直線状又は曲線状に任意に走査し  
て修正基板に照射することができる。また、CCDカメラ16が撮像したレーザ照射スポットの様子はモニタに  
映し出される。

【0056】この欠陥修正装置において、材料の粘度やマニピュレータのギャッピング等の制御を行うことにより、10 $\mu$ mまでの細線描画を行うことが可能である。

【0057】このようにして欠陥を修正したアクティブマトリクス基板には、必要に応じて保護膜75及び配向膜76を形成する。そして、このアクティブマトリクス基板を対向電極やカラーフィルタ等が設けられた対向基板と貼り合わせ、両基板の間に液晶を注入することにより液晶表示装置が完成する。

【0058】このように本実施形態1においては、液晶注入前のアクティブマトリクス基板の状態欠陥修正を行うことができる。このため、レーザ切断による導電性ダストが発生しても、対向基板との貼り合わせ前に洗浄により除去することができ、液晶内に溜まることがない。従って、修正により発生する導電性ダストに起因する画素電極と対向電極とのリーク不良を防ぐことができる。また、レーザ照射を液晶注入前に行っているため液晶中に気泡が発生することが無く、光漏れによる表示不良も生じない。また、上記ペーストは熱熔融でほとんど飛散しないので、従来に比べて導電体の飛散を少なくすることができる。さらに、上記ペーストは描画距離が長く、10 $\mu$ mまでの細線を描画可能であるので、確実に欠陥修正を行うことが可能である。

【0059】さらに、上記欠陥修正装置により、欠陥修正のためのレーザトリミングとペーストの硬化とを精度良く行って欠陥修正の信頼性を向上させることができる。

【0060】(実施形態2) 本実施形態2においては、図6に示すように、該当する画素電極40に接続されたゲートバスライン10に隣接するゲートバスライン10

に突出部72を形成して付加容量バスラインとして用い、その上にゲート絶縁膜50を介して付加容量電極71を形成したアクティブマトリクス基板に対して欠陥修正を行った。

【0061】このアクティブマトリクス基板についても実施形態1と同様にして欠陥修正を行うことができる。

【0062】まず、実施形態1と同様に、付加容量部の不良やスイッチング素子の不良を検出した場合には、突出部72の基部を切断して、付加容量バスライン(隣接の走査配線10)と画素電極40とを絶縁状態にする。

【0063】次に、画素電極40とこれにTFT30を介して接続されたソース配線20とを導電性材料を含むペーストを塗布し、これを加熱することにより、ソースバスライン20と画素電極40とを短絡させる導電性膜を形成する。

【0064】その結果、画素電極40とソースバスライン20とが短絡された画素では、ゲートバスライン10の選択・非選択にかかわらず、常にソース信号が入力され、1周期の間にソース電圧の実効値が液晶に印加されることになる。従って、その不良画素に対応するソースバスラインに接続された全ての画素の平均的な明るさに点灯し、点欠陥が実質的に修復される。

【0065】このように本実施形態2においても、液晶注入前のアクティブマトリクス基板の状態欠陥修正を行うことが可能であり、液晶に影響を与えることなくスイッチング素子の不良や付加容量部のピンホール等の欠陥を確実に精度良く修正することが可能である。

【0066】なお、上記実施形態1及び実施形態2においては、付加容量部の不良及びスイッチング素子の不良に起因する画素欠陥が生じた場合の欠陥修正について説明を行ったが、付加容量部に不良が生じていない場合には付加容量バスラインを切断する必要はない。この場合でも、スイッチング素子の不良に起因して画素電極に印加されるべき電圧が印加されないという欠陥は、そのスイッチング素子に接続された画素電極と信号配線との間に導電性材料を含むペーストを供給し、そのペーストを加熱して画素電極と信号配線とを短絡させる導電性膜を形成することで修正される。

【0067】

【発明の効果】以上詳述したように、本発明による場合には、対向基板と貼り合わせて液晶を注入する前のアクティブマトリクス基板の状態で精度良く欠陥修正を行うことができる。従って、液晶に影響を与えることなく画素欠陥の修正を行って、表示装置の製造歩留りを向上し、大幅なコストダウンを図ることができる。

【図面の簡単な説明】

【図1】実施形態1のアクティブマトリクス基板の欠陥修正方法を説明するための平面図である。

【図2】図1のA-A'線による断面図である。

【図3】図1のB-B'線による断面図である。

【図 4】図 1 の拡大図である。

【図 5】本発明の一実施形態である欠陥修正装置の構成を示す図である。

【図 6】実施形態 2 のアクティブマトリクス基板の欠陥修正方法を説明するための平面図である。

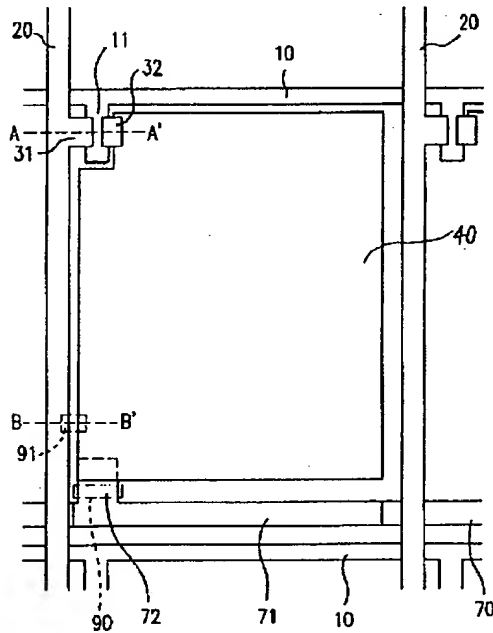
【図 7】従来の表示装置の欠陥修正方法を説明するための平面図である。

【図 8】従来の他の表示装置の欠陥修正方法を説明するための平面図である。

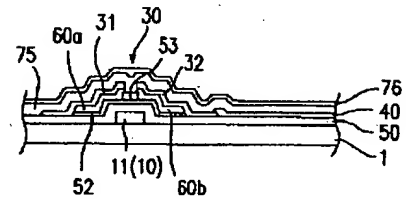
【符号の説明】

- 1 0 ゲートバスライン
- 2 0 ソースバスライン
- 3 0 T F T
- 4 0 画素電極
- 5 0 ゲート絶縁膜
- 7 0 付加容量バスライン
- 7 1 付加容量電極
- 7 2 付加容量バスラインの突出部

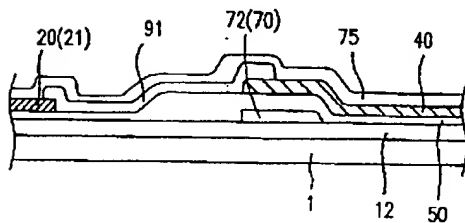
【図 1】



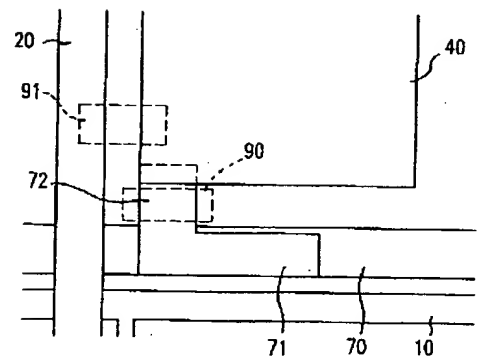
【図 2】



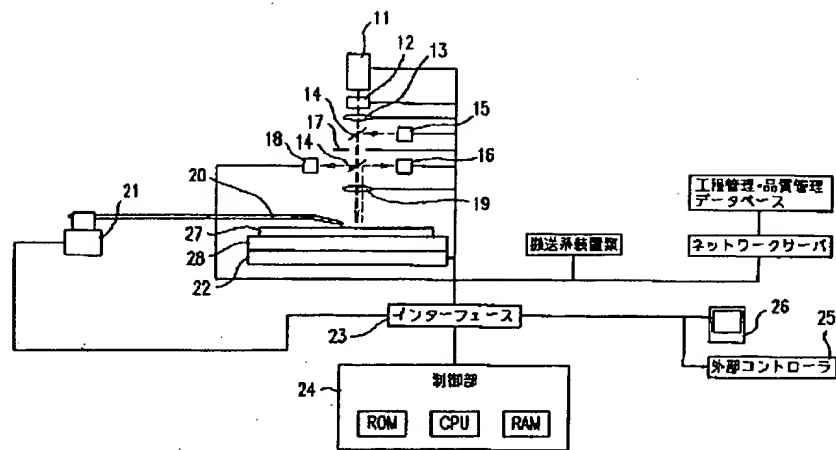
【図 3】



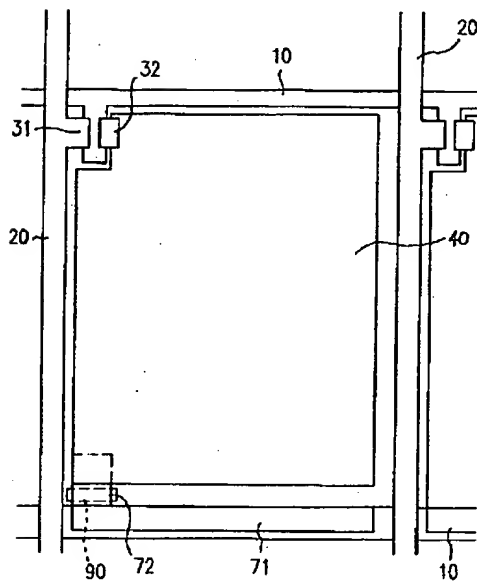
【図 4】



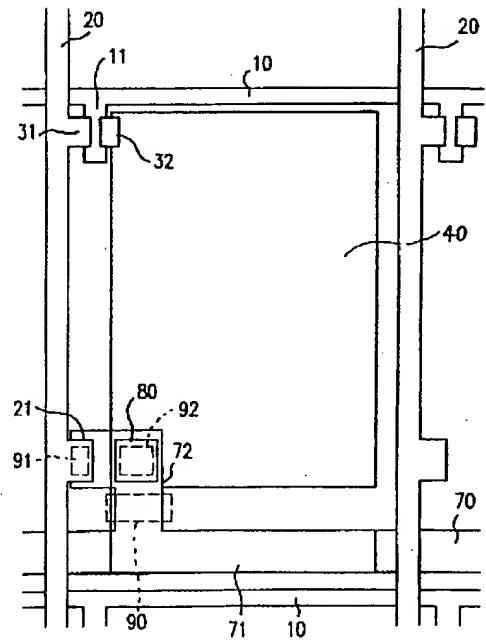
【図 5】



【図 6】



【図 7】



【図 8】

